

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093485

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H04B 5/02

G06K 17/00

G06K 19/07

(21)Application number : 08-244730

(71)Applicant : OMRON CORP

(22)Date of filing : 17.09.1996

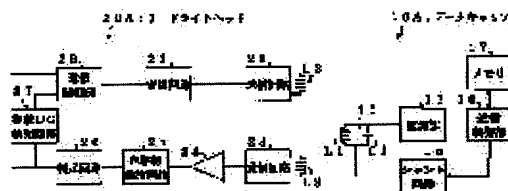
(72)Inventor : NAKAMURA AKIHIKO

(54) DISCRIMINATING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To perform data communication without causing faults to other parts by providing a data receiving means, plural data carrier discriminating means, response command transmitting means, a transmitting means, data transmitting means, memory and a successive shunt output means.

SOLUTION: An output of a discriminating circuit 26 of a read/write head 20A is supplied to a plural DCs detecting circuit 27 which is a plural data carriers discriminating means and the circuit 27 detects the plural data carriers. The detected output is given to a communication control part 28 which is a responding command transmitting means, specifies the data carrier and performs communication. Memory 17 of the data carrier 10A is provided with an area to store an ID code proper to each data carrier and a communication control part 16 performs data communication as it is when a simple responding command is received. When the plural responding commands are received, the communication control part 16 successively outputs a shunt signal until the response time proper to each data carrier or specified by a random number and performs data communication after the completion of output of the successive shunt signal.



(11)特許出願公開番号

(43)公開日 平成10年(1998)4月10日

H

```

graph TD
    1[データ 受信手段] -- 2 --> 2[演算DC 判別手段]
    2 -- 3 --> 3[送出手段]
    3 -- 4 --> 4[通信制御 手段]
    4 -- 5 --> 5[データ 伝送手段]
    5 -- 6 --> 6[メモリ]
    6 -- 7 --> 7[連続シヤント 出力手段]
    7 -- 8 --> 8[通信制御 手段]
    8 -- 9 --> 9[メモリ]
    
```

Figure 1 is a block diagram of a system for transmitting and receiving data. The diagram shows a flow from a 'データ 受信手段' (Data Reception Means) to a 'データ 伝送手段' (Data Transmission Means), which then connects to a 'メモリ' (Memory) block containing an 'ID コード' (ID Code). A '通信制御 手段' (Communication Control Means) is connected to the 'データ 伝送手段' and the 'メモリ'. A '連続シヤント 出力手段' (Continuous Shant Output Means) is connected to the '通信制御 手段' and the 'データ 伝送手段'. A '演算DC 判別手段' (Operation DC Determination Means) is connected to the 'データ 受信手段' and the '通信制御 手段'. A '送出手段' (Transmission Means) is connected to the '通信制御 手段' and the 'メモリ'.

【特許請求の範囲】

【請求項 1】 データを保持するメモリを有するデータキャリアと、
前記データキャリアとの間でデータ伝送を行う書込／読出制御ユニットと、を具備する識別システムであって、前記書込／読出制御ユニットは、
データの受信時に断続されるキャリアの残響の有無によってデータを受信するデータ受信手段と、
データの受信時に混信が生じることにより通信エリアに複数のデータキャリアが存在することを検出する複数データキャリア判別手段と、
通信の開始時に単純応答コマンドを送出し、前記複数データキャリア判別手段により複数データキャリアが判別されたときに複数応答コマンドを送出する応答コマンド送出手段と、
キャリア信号を一定の周期で断続させ、データ及び前記応答コマンドの送信時にそのデューティ比を第 1 及び第 2 のデューティ比に変化させることにより送信し、データの受信時にはそのデューティ比を第 3 のデューティ比とする送信手段と、を有するものであり、
前記データキャリアは、
共振回路を含み、前記書込／読出制御ユニットとの間でデータ伝送を行うデータ伝送手段と、
データ及び夫々固有の ID コードを保持するメモリと、
前記データ伝送手段により複数応答コマンドが受信されたときに応答開始時間までの間前記共振回路に得られるキャリア信号の停止時に連続シャント信号を出力する連続シャント出力手段と、
前記連続シャント出力手段による連続シャントの終了後に自己の ID コードを含む信号を送信し、データ通信を制御する通信制御手段と、を具備することを特徴とする識別システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は物流システム、電子回数券システム等に利用される識別システムに関するものである。

【0002】

【従来の技術】 従来組立搬送ラインで用いられる部品識別システムや電子回数券システム等においては、物品を識別して管理するシステムが必要となる。そこで特開平 1-163991 号のように識別対象物にメモリを有するデータキャリア (ID カード) を設け、外部からデータ伝送によってデータキャリアに必要な情報を書込んでおき、必要に応じてその情報を読出すようにした識別システムが提案されている。このようなデータキャリアはパレット等に取付けられ、又は使用者が所持しており、パレットの搬送経路や入退室ゲートの側方に配置された書込／読出制御ユニットからデータキャリアに必要なデータを書込み又は読出すように構成される。

【0003】 図 7 は従来の識別システムの書込／読出制御ユニットであるリードライトヘッドと、データを保持するデータキャリアとの構成を示すブロック図である。図 7 においてデータキャリア 10 はコイル L 1 とコンデンサ C 1 から成る共振回路 11 に復調部 12、メモリ制御部 13 が接続される。メモリ制御部 13 は復調されたコマンドに従って不揮発性のメモリ 14 にデータを書込み又は読出するものであって、読出されたデータは一旦バイフェーズ符号に変換される。シャント回路 15 はバイフェーズ符号により共振回路 11 の両端を短絡するものである。一方リードライトヘッド 20 は送信手段として変調回路 21、送信回路 22 を有している。送信回路 22 は一定のキャリア周波数を発振する発振回路を有しており、一定周期で発振を断続させる。そして与えられた送信データによって発振断続のデューティ比を第 1、第 2 のデューティ比、例えば 70%、30% に変化させる。又送信回路 22 は受信時には一定のデューティ比 (例えば 50%) で発振を断続させて送信コイル L 2 を駆動する。受信回路 23 は受信コイル L 3 に接続されており、残響を受信するものである。受信回路 23 の出力は増幅器 24、包絡線検波回路 25 を介して判定回路 26 に与えられる。判定回路 26 は出力レベルを所定の閾値で弁別して受信した信号をデジタル値に変換するものである。

【0004】 このような従来の識別システムでは、通信可能領域に 1 つのデータキャリアがある場合には正常に送受信ができる。図 8 (a) は送信用のコイル L 2 に加わる断続されたキャリア信号を示している。この場合にはリードライトヘッド 20 はデータを受信する状態であり、デューティ比 50% で駆動される。データキャリア 10 は共振回路 11 でこの断続されたキャリアからクロック信号を抽出してメモリ 14 よりデータを読出し、送信データはバイフェーズ符号に変換される。図 8 (b) はバイフェーズ符号を示しており、その L レベルでは図 8 (c) に示すようにキャリアの停止時にシャントパルスが出力される。図 8 (d) に示すようにシャントパルスがなければデータキャリアの共振波形は残響を含み、シャントパルスがあれば残響が停止される。従って図 8 (e) ~ (g) に示すようにリードライトヘッド 10 のコイル L 3 により残響を受信する。これを包絡線検波し、所定レベルで弁別することによって、データが復調される。

【0005】

【発明が解決しようとする課題】 しかしながら通信領域に複数のデータキャリアが存在する場合には全く通信ができないか、又は通信エラーになるという問題点があった。図 8 (h) ~ (j) は他のデータキャリアが同時に通信領域に存在している場合に他のデータキャリアの動作を示している。このように通信領域に複数のデータキャリアがあれば、図 8 (d) と (j) に示す残響が重な

ることとなるため、リードライトヘッド側では正常な受信ができなくなるという欠点があった。

【0006】本発明はこのような従来の問題点に鑑みてなされたものであって、通信領域に複数のデータキャリアが存在する場合にも、混信せずに順次データ通信を行えるようにすることを目的とする。

【0007】

【課題を解決するための手段】本発明は、図1に示すように、データを保持するメモリを有するデータキャリアと、前記データキャリアとの間でデータ伝送を行う書込／読出制御ユニットと、を具備する識別システムであって、前記書込／読出制御ユニットは、データの受信時に断続されるキャリアの残響の有無によってデータを受信するデータ受信手段1と、データの受信時に混信が生じることにより通信エリアに複数のデータキャリアが存在することを検出する複数データキャリア判別手段2と、通信の開始時に単純応答コマンドを送出し、前記複数データキャリア判別手段により複数データキャリアが判別されたときに複数応答コマンドを送出する応答コマンド送出手段3と、キャリア信号を一定の周期で断続させ、データ及び前記応答コマンドの送信時にそのデューティ比を第1及び第2のデューティ比に変化させることにより送信し、データの受信時にはそのデューティ比を第3のデューティ比とする送信手段4と、を有するものであり、前記データキャリアは、共振回路を含み、前記書込／読出制御ユニットとの間でデータ伝送を行うデータ伝送手段5と、データ及び夫々固有のIDコードを保持するメモリ6と、前記データ伝送手段により複数応答コマンドが受信されたときに応答開始時間までの間前記共振回路に得られるキャリア信号の停止時に連続シャント信号を出力する連続シャント出力手段7と、前記連続シャント出力手段による連続シャントの終了後に自己のIDコードを含む信号を送信し、データ通信を制御する通信制御手段8と、を具備することを特徴とするものである。

【0008】このような特徴を有する本発明によれば、書込／読出制御ユニットは通信の開始時に単純応答コマンドを送出する。そしてデータの受信時には混信状態が生じるかどうかによって複数のデータキャリアが存在しているかどうかを判別する。複数のデータキャリアがなければ、1つのデータキャリアとの間でデータ通信を行う。又複数のデータキャリアが判別されれば複数応答コマンドを送出する。データキャリアは単純応答コマンドがあればそのままデータ通信を行うが、複数応答コマンドが受信されると各データキャリア毎に異なった応答時間後にデータ通信を開始する。それまでの間は無応答モードとなって書込／読出制御ユニットからキャリアが断続される毎に残響を停止させるためのシャントパルスを連続して出力する。こうすれば無応答モードでは他のデータキャリアと書込／読出制御ユニットとの間のデータ

通信に干渉を与えることがなくなり、順次データ通信が可能となる。

【0009】

【発明の実施の形態】図2は本発明の一実施の形態による識別システムの全体構成を示すブロック図であり、前述した従来例と同一部分は同一符号を付して詳細な説明を省略する。本図において書込／読出制御ユニットを構成するリードライトヘッド20Aは変調回路21、送信回路22を有し、これらが送信手段4を構成している。又データ受信手段1として受信コイルL3に受信回路、増幅器24及び包絡線検波回路25と受信したデータを判定する判定回路26が設けられている。さてこの実施の形態では、判定回路26の出力に複数データキャリア判別手段2である複数DC検知回路27が設けられる。複数DC検知回路27は複数のデータキャリアを検知するものであって、通信に用いられる符号をバイフェーズ符号とすると、3回連続してHレベルが連続することがないが、混信状態ではこのような状態が生じることがあるため、受信した出力が3回以上HLレベルが連続することに基つて複数のデータキャリアが通信領域に存在することを検出するものである。複数データキャリアを検出すると、その出力は通信制御部28に与えられる。通信制御部28は後述するように単純応答コマンド及び複数応答コマンドのいずれかを送出し、データキャリアを特定してデータ通信を行う応答コマンド送出手段3であって、マイクロコンピュータを含んで構成されている。

【0010】次にデータキャリア10A側について説明する。データキャリア10Aは共振回路11と復調回路12、通信制御部16、メモリ17及び連続シャント出力手段7であるシャント回路15を含んで構成される。本実施の形態のメモリ17は各データキャリアに固有のIDコードを記憶する領域を有している。通信制御部16は書込／読出制御ユニット側から単純応答コマンドが受信されたときにはそのままデータ通信を行い、複数応答コマンドが受信されたときには各データキャリアに固有の応答時間又は乱数で定まる応答時間まで連続シャント信号を出力し、その終了後にデータ通信を行うものであって、マイクロコンピュータによって構成されている。

【0011】次にこの実施の形態の動作についてタイムチャート及びフローチャートを参照しつつ説明する。図3は複数のデータキャリアが通信領域に存在する場合のタイムチャートを示している。又図4はリードライトヘッド、図5はデータキャリアの動作を示すフローチャートである。リードライトヘッド20Aはまずデータキャリアが通信領域に到来し通信を開始するときに単純応答コマンドを送出する（ステップS1）。そして複数応答があるかどうかを混信の有無によって判別する（ステップS2）。最初の状態ではデータキャリアはいずれも単

純応答コマンドを受信したため、自己のIDコードを送信する(ステップS21, S22)。データ通信領域に1つのデータキャリアのみが存在する場合には、混信が生じることはない。従ってリードライトヘッドはステップS3に進んで得られたデータキャリアとの間で1:1のデータ通信を行って処理を終える。データキャリアはステップS23において複数コマンドが受信されないため、ステップS24に進み1:1のデータ通信を行って処理を終える。

【0012】さてこの通信領域に複数のデータキャリアがあれば、図3にタイムチャートを示すように夫々IDコードを送信するため、リードライトヘッドには混信状態が発生する。リードライトヘッド側では混信状態を複数DC検知回路27によって検出する。複数のデータキャリアが検出されると、タイムチャート及び図4のステップS4に進んで各データキャリアに対して複数応答コマンドを送信する。データキャリアはこの応答コマンドを受信すると、ステップS23よりS25~S27に進み、各データキャリアに固有の応答までの時間を決定し、無応答モードの後に自己のデータキャリアのIDコードを送信する。例えばデータキャリアDC1はこの応答時間が t_1 に設定されており、DC2は応答時間が t_2 ($t_1 < t_2$)と設定されているものとする。データキャリアDC1, DC2は夫々応答時間 t_1 , t_2 の経過を待受ける(ステップS26, 27)。ステップS26は無応答モードであり、データキャリアの送信の際には一定のデューティ比でキャリア信号が断続されるが、各キャリア断続直後にシャント回路15より共振回路11にシャントパルスを出力して残響を停止させておく。そしてデータキャリアDC1は応答時間 t_1 が経過すると、直ちにステップS27からS28に進んでIDコードを送信する。一方データキャリアDC2は無応答モードとなる時間が t_2 ($> t_1$)と定められているため、この場合にはその間連続シャントパルスを出力する。

【0013】図6はデータキャリアDC1がIDコードを送信してリードライトヘッド側に伝送している状態を示す波形図である。このときにはリードライトヘッドの送信回路22は受信状態であるため、図6(a)に示すように50%のデューティ比でキャリアを断続する。これに対して図6(b)はデータキャリアDC1の送信データを示しており、送信データがLレベルでは通信制御部より読出されたデータに基づいてシャント回路15からシャントパルスが出力される。シャントパルスが出力されれば図6(d)に示すようにデータキャリアDC1の共振回路11の残響が停止し、シャントパルスがなければ残響が残ることとなる。このとき他方のデータキャリアDC2はリードライトヘッドのコイルL2のキャリアが断続する毎に図6(e)に示すように連続してシャントパルスが出力されている。従ってデータキャリアDC2の共振回路11は常に残響のない状態で動作してい

ることとなる。このためリードライトヘッド側の受信用コイルL3は図6(d)に示す残響成分が受信されることとなり、混信なくデータ通信が行える。

【0014】さてデータキャリアDC1はステップS28よりステップS29に進んで再び複数応答コマンドが受信されたかどうかをチェックし、受信されていない自己のIDコードを確認してリードライトヘッドとの通信状態に入る(ステップS29)。そしてデータ通信を終えると、無応答モードとなる。一方リードライトヘッド側はステップS4からステップS5に進んで、再び複数応答があるかどうかを判別し、複数応答があればステップS4に戻って同様の処理を繰り返す。複数応答がない場合にはステップS6に進み、いずれかのデータキャリアのIDコードを受信する。このIDコードを受信するとそのデータキャリアとの通信を行う。この通信開始時にはタイムチャートに示すように確認できたIDコードをデータキャリア側に送信し(ステップS7)、データキャリアはそのIDを確認して通信モードとなる。通信が終了するとステップS9において待機モードとなり、次のデータキャリアDC2が無応答モードから通信モードに切替わるのを待受ける。

【0015】さてデータキャリアDC2はコマンドを受信した後、応答時間 t_2 が経過するのを待受け、この間無応答モードで連続してシャントパルスを出力しており(ステップS26, S27)、無応答モードの時間が終了するとステップS27からステップS28に進んでデータキャリアDC1と同様にしてIDコードを送信する。リードライトヘッドは同様にして確認できたIDコードを送信し、データキャリアDC2はこのIDコードが自己のIDコードであれば通信モードに入って通信を行う。一方データキャリアDC1は通信を終えると、ステップS31に進んで再び無応答モードとなる。いずれのデータキャリアも無応答モードでは、残響の開始後に連続してシャントパルスを出力する。そうすればそのデータキャリアからは残響が生じないため、データ通信中の他のデータキャリアの通信に干渉を与えることがなく、通信が正常に行えることとなる。

【0016】尚この実施の形態ではデータキャリアの夫々について複数応答コマンドが受信されると、応答時間を決定しているが、各応答時間はデータキャリア毎にあらかじめ決めておいてもよく、又リードライトヘッドとの通信機会を公平にするためには乱数で応答時間を設定するようにしてもよい。

【0017】

【発明の効果】以上詳細に説明したように本発明によれば、通信領域に複数のデータキャリアが到来する場合にも夫々応答時間後にリードライトヘッドと通信するようにしているため、夫々個別の通信が可能となる。データキャリアは待機中には連続シャントパルスを発生させているため、他の通信に障害を与えることがなくなる。

【図面の簡単な説明】

【図1】本発明の機能的構成を示すブロック図である。

【図2】この実施の形態による識別システムの全体構成を示すブロック図である。

【図3】この実施の形態による複数データキャリアが存在する場合の動作を示すタイムチャートである。

【図4】この実施の形態のリードライトヘッドの動作を示すフローチャートである。

【図5】この実施の形態のデータキャリアの動作を示すフローチャートである。

【図6】この実施の形態による一方のデータキャリアDC1が通信中の各部の波形を示す波形図である。

【図7】従来の識別システムの全体構成を示すブロック図である。

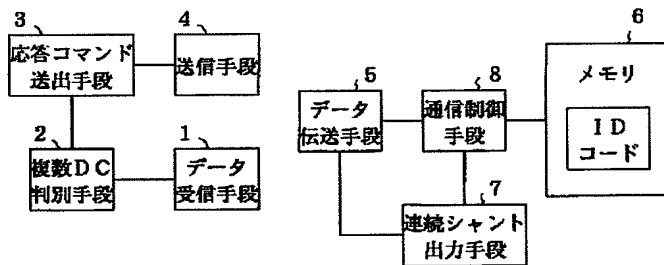
【図8】従来の識別システムの各部の波形を示す波形図である。

【符号の説明】

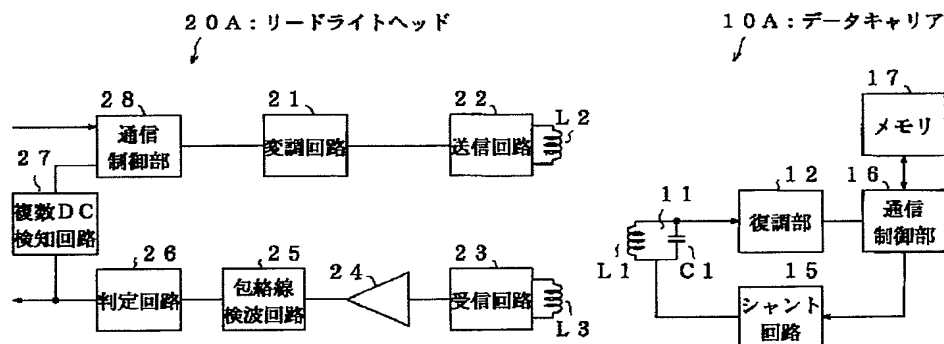
- 1 データ受信手段
- 2 複数DC判別手段
- 3 応答コマンド送出手段

- * 4 送信手段
- 5 データ伝送手段
- 6 メモリ
- 7 連続シャント出力手段
- 8 通信制御手段
- 10, 10A, DC1, DC2 データキャリア
- 11 共振回路
- 12 復調部
- 13 メモリ制御部
- 10 14, 17 メモリ
- 15 シャント回路
- 16 通信制御部
- 21 変調回路
- 22 送信回路
- 23 受信回路
- 24 増幅器
- 25 包絡線検波回路
- 26 判定回路
- 27 複数データキャリア検知回路
- * 20 28 通信制御部

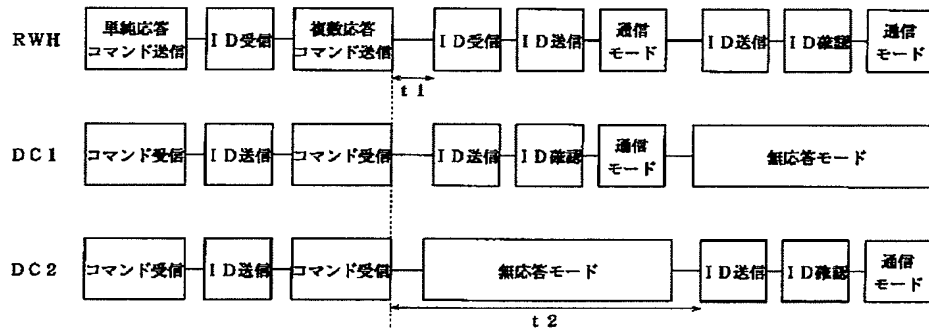
【図1】



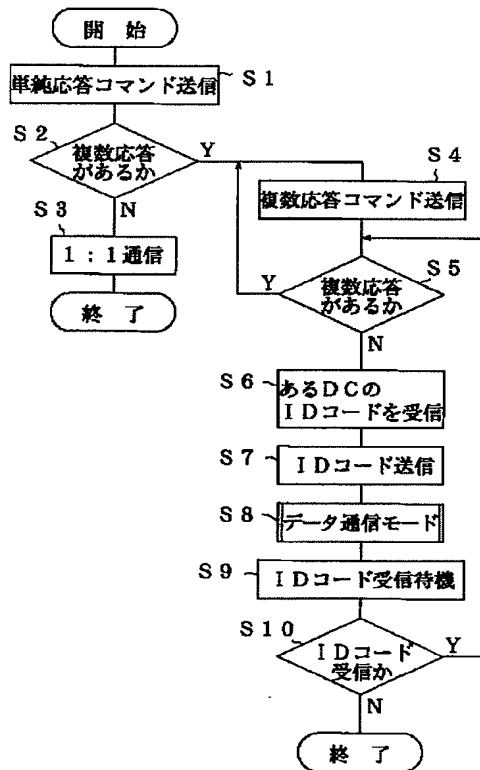
【図2】



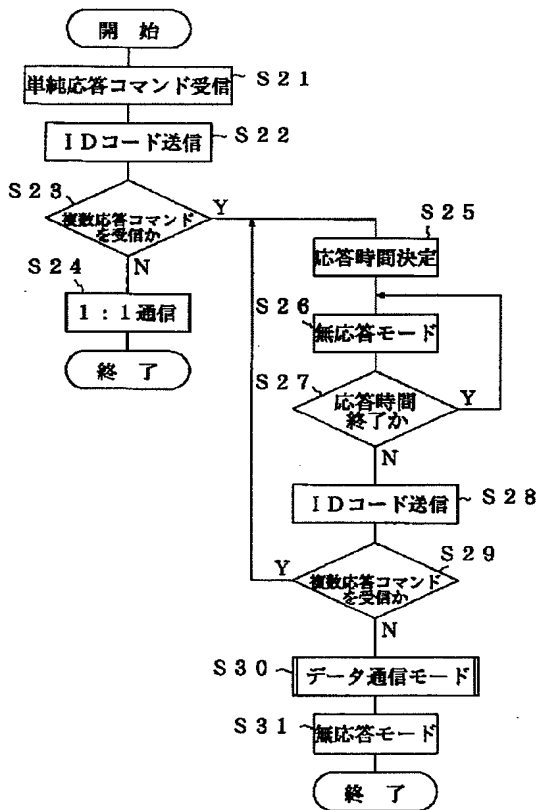
【図3】



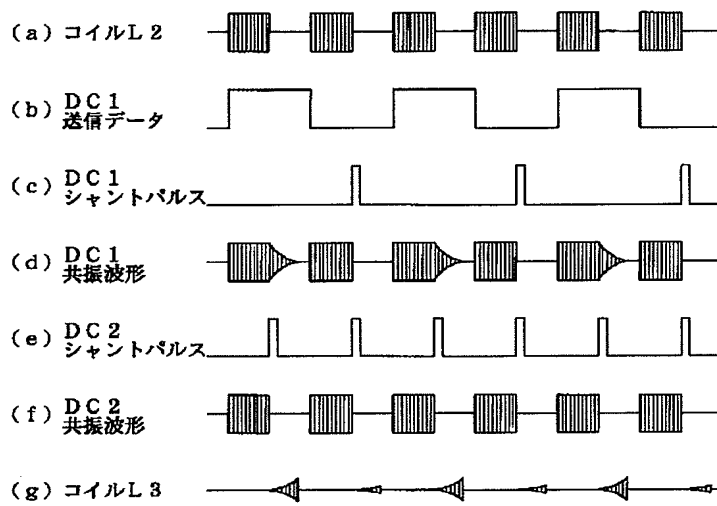
【図4】



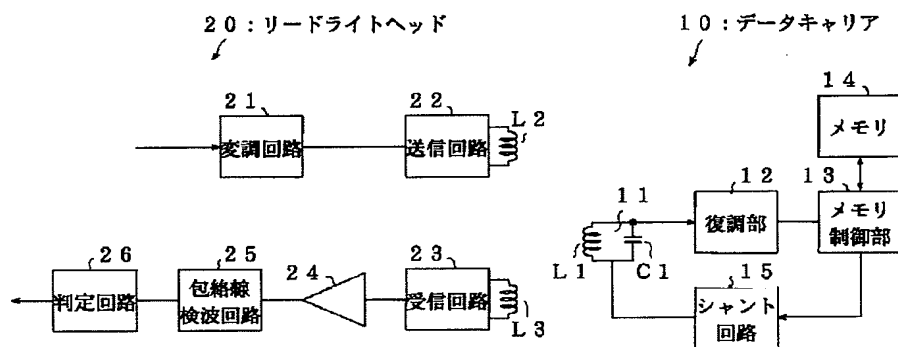
【図5】



【図6】



【図7】



【図8】

